



THREE GATEWAY CENTER, FLOOR 14 WEST, PITTSBURGH, PA 15222 • PHONE 412 261 1101 • FAX 412 261 1159 • WEB www.echointernational.com

01/02/07

CERTIFICATE OF ACCURACY

STATE OF PENNSYLVANIA

COUNTY OF ALLEGHENY

Re: Circuit for data signal recovery and clock signal regeneration

I, Francesco Pircio being duly sworn depose and state to the best of my knowledge, ability and belief:

That the transcript, prepared by a professional translator who is equally proficient in the German and English languages, of the original German material described as:

“Circuit for data signal recovery and clock signal regeneration”

is a true and correct transcript and translation of the source content.

SIGNATURE: _____

Francesco Pircio
Sr. Project Manager
Echo International
Three Gateway Center
Floor 14 West
Pittsburgh PA 15222

Sworn to before me this
2nd Day of January 2007

Notary Public

COMMONWEALTH OF PENNSYLVANIA

Notarial Seal
Devon Cole, Notary Public
City Of Pittsburgh, Allegheny County
My Commission Expires Feb. 15, 2010

Member, Pennsylvania Association of Notaries

Description

Circuit for data signal recovery and clock signal regeneration

The invention relates to a circuit, which can be completely integrated in an electronic module (chip), for data signal recovery and clock signal regeneration from an incoming serial data signal stream using a PLL (Phase Locked Loop) regulating stage which is provided with a VCO (Voltage-Controlled Oscillator) and to which the serial data signal stream is fed, with a retiming circuit.

The invention is directed, in particular, at the recovery and the retiming of data signals and clock signals, respectively, from serial data streams, e.g. in transceiver circuits for ATM (Asynchronous Transfer Mode), SONET (Synchronous Optical Network) and SDH (Synchronous Digital Hierarchy) applications.

It is known to realize the reconditioning of data signals and clock signals with the aid of a PLL regulating stage and retiming flip-flop. There are diverse types of phase and frequency detectors for this purpose. In this regard, one shall refer to a paper by Hans-Jürgen Herzog entitled "Auswahl von Bausteinen für die Daten- und Taktregenerierung in Telekom- und Datennetzen" ("Selection of Modules for Data and Clock Regeneration in Telecommunications and Data Networks"), published in the journal *HF-Praxis*, Issue 5, 1998, Volume 4, pp. 12-14.

The incoming data signal is generally a serial bit sequence encumbered with noise and jitter. Various requirements are imposed on a transceiver receiving and evaluating this data signal stream, in order that a signal of required quality is produced again on the output side. Two important requirements, which, however, partly contradict one another, are the values for the jitter tolerance and for the jitter transfer.

The jitter tolerance defines the maximum permissible input jitter which the circuit can still process in an error-free manner. This value should be as large as possible. The jitter transfer defines the maximum permissible jitter that may be transferred from the input to the output. It should be as small as possible.

In order to fulfill these jitter requirements, one must adapt the bandwidth of the PLL regulating loop used in the reconditioning of data signals and clock signals to the requirements. A large PLL regulating loop bandwidth is necessary for a large jitter tolerance.

A large bandwidth enables the PLL regulating loop to execute a rapid sequencing in regard to the frequency and the phase of the incoming signal and thus reliable sampling in the temporal center of a data bit. This fact then also results in the circuit having high input sensitivity.

A small PLL regulating loop bandwidth is necessary for a low jitter transfer. This ensures that the PLL regulating stage does not sequence the high-frequency jitter, noise and other interference and thus impair the quality of the recovered data signal.

In order to simultaneously meet both conditions to some extent, one is thus forced to make a compromise. In this case, the bandwidth of such a PLL regulating loop is in a very narrow range. Since a PLL regulating stage can in part comprise highly nonlinear components, particularly in the case of completely integrated PLL regulating loops, it is difficult to calculate or implement the bandwidth.

The object of the invention is to provide a circuit, which can be completely integrated on an electronic chip and thus implemented without external circuitry, for the recovery

and retiming of data signals and clock signals, respectively, from serial data streams, in particular for a simpler construction of ATM, SONET and SDH-conforming transceiver circuits for possible use in signal transmission links in the gigabit range, whereby the jitter requirements are complied with and, thus, a data signal of required quality, namely having a prescribed low bit error rate, is produced again on the output side.

This task is achieved in accordance with the invention that relates to a circuit of the type mentioned in the preamble, in such a manner that the PLL regulating stage has a second PLL regulating stage connected in series to it, that both PLL regulating stages are independent of each other and can each be separately adjustable to an optimal degree, that the first PLL regulating stage is adjusted in such a manner that it has a large bandwidth and is optimized to a preferably large jitter tolerance, and that the second PLL regulation stage is adjusted in such a manner that it has a small bandwidth and is optimized to a preferably small jitter transfer.

The invention thus solves the problem by connecting two independent PLL regulating stages in series, for which one can make optimal adjustments for each one separately. The first PLL regulating stage has a large bandwidth and regenerates the level of the incoming signal.

As a result, the signal/noise ratio becomes less critical and the second PLL regulating stage can guarantee error-free data regeneration, even without sampling in the absolute center of a data bit. The second PLL regulating stage has a small bandwidth and can thus be optimized for low jitter transfer.

Complete integration on a single chip is possible since the circuit according to the invention can tolerate relatively large parameter fluctuations of the circuit.

In a preferred manner, the transfer from the first PLL regulating stage to the second PLL regulating stage is carried out by means of a synchronization of both clock signals executed in the second PLL regulating stage. The second PLL regulating stage can be realized in a simple manner and without the circuit being very technically complex.

The reference frequency of the first PLL regulating stage is for practical purposes stabilized by a constant frequency quartz oscillator.

Hereafter, a circuit for data signal recovery and clock signal regeneration according to the invention shall be explained in greater detail using a block circuit diagram represented by a DRAWING.

By means of an isolation amplifier 1, an incoming digital data stream DATA IN is fed to an initial PLL regulating stage 2. The reference frequency f_{Ref} of the PLL regulating stage 2 is formed by a quartz oscillator 3, is therefore stable in frequency and maintains a voltage-controlled oscillator in a valid operating range.

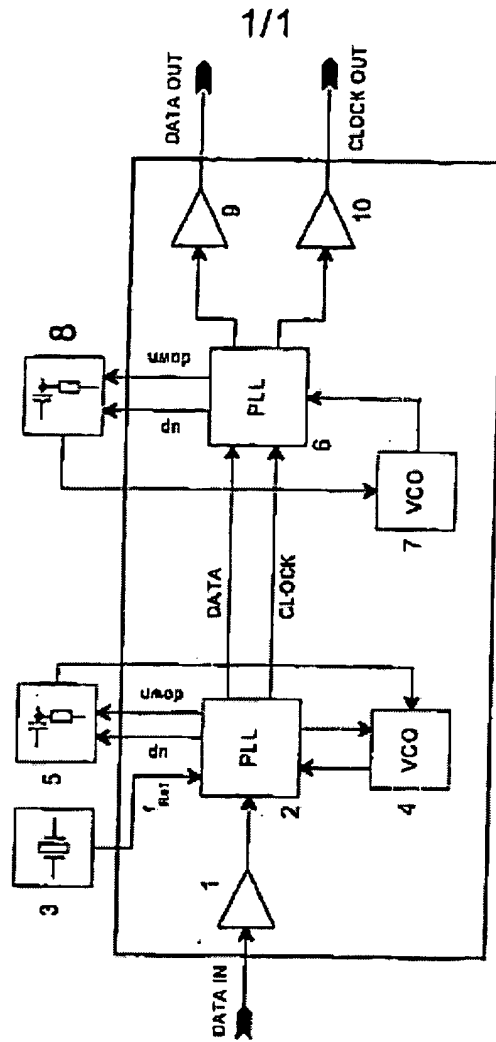
The first PLL regulating stage 2 is equipped with a voltage-controlled oscillator (VCO) 4, which may be realized by means of a ring oscillator, and an integrator 5, with which the bandwidth of PLL regulating stage 2 can be determined. The first PLL regulating stage 2 has a second PLL regulating stage 6 connected in series that is also equipped with a voltage-controlled oscillator 7 and an integrator 8, by which the bandwidth of the second PLL regulating stage 6 is definitively determined.

By means of an isolation amplifier 9 or 10, the finally recovered data and clock signals DATA OUT or CLOCK OUT, as the case may be, are passed out of the second PLL regulating stage 6. For both independent PLL regulating stages 2 and 6, the optimal adjustment is carried out separately for each. The first

PLL regulating stage 2 has a large bandwidth and regenerates the level of the incoming signal DATA IN.

The signal-to-noise ratio thereby becomes less critical and the second PLL regulating stage 6 ensures an error-free data recovery, whereby it does not necessarily have to carry out sampling in the absolute center of the data bits of the data signals DATA fed from the first PLL regulating stage 2.

In contrast to the first PLL regulating stage 2, the second PLL regulating stage 6 has a small bandwidth and can be optimized to a preferably small jitter transfer. The transfer from the first PLL regulating stage 2, in which the data signals DATA and clock signals CLOCK are recovered, results by means of a synchronization of both clock signals CLOCK and CLOCK OUT in the PLL regulating stage 6 that is relatively simple to realize.



WO 00/18008

PCT/DE99/02742

1

Beschreibung

Schaltung zur Datensignalrückgewinnung und Taktsignalregenerierung

5

Die Erfindung betrifft eine in einem elektronischen Baustein (Chip) vollständig integrierbare Schaltung zur Datensignalrückgewinnung und Taktsignalregenerierung aus einem eingehenden seriellen Datensignalstrom unter Verwendung einer mit einem spannungsgesteuerten Oszillator (VCO; Voltage Controlled Oscillator) versehenen PLL(Phase Locked Loop)-Regelstufe, welcher der serielle Datensignalstrom zugeführt wird, mit einer Retiming-Schaltung.

15 Die Erfindung richtet sich insbesondere auf die Rückgewinnung bzw. das Retiming von Daten- und Taktsignalen aus seriellen Datenströmen z.B. bei Transceiver-Schaltungen für ATM(Asynchroner Transfermodus)-, SONET(Synchronous Optical Network; Synchrones optisches Netz)- und SDH(Synchrone Digitale Hierarchie)-Anwendungen.

Es ist bekannt, die Wiederaufbereitung von Daten- und Taktsignalen mit Hilfe einer PLL-Regelstufe und eines Retiming-Flip-Flops zu realisieren. Hierzu gibt es die verschiedensten Arten von Phasen- und Frequenzdetektoren. In diesem Zusammenhang wird auf den Aufsatz von Herzog, Hans-Jürgen: "Auswahl von Bausteinen für die Daten- und Taktregenerierung in Telekom- und Datennetzen", erschienen in der Zeitschrift "HF-Praxis", Heft 5, 1998, Jahrgang 4, S. 12-14, hingewiesen.

30

Bei dem eingehenden Datensignal handelt es sich in der Regel um eine mit Rauschen und Jitter behaftete serielle Bitfolge. An einen diesen Datensignalstrom empfangenden und auswertenden Transceiver werden verschiedene Anforderungen gestellt, damit ausgangsseitig wieder ein Signal von geforderter Güte entsteht. Zwei wichtige Anforderungen, die sich jedoch teilweise widersprechen, sind dabei die Werte für die Jitter-To-

35

WO 00/18008

PCT/DE99/02742

2

leranz und für den Jitter-Transfer. Die Jitter-Toleranz definiert den maximal zulässigen Eingangsjitter, den die Schaltung noch fehlerfrei verarbeiten kann. Dieser Wert sollte möglichst groß sein. Der Jitter-Transfer definiert den maximal zulässigen Jitter, der vom Eingang zum Ausgang übertragen werden darf. Dieser sollte möglichst klein sein.

Um diese Jitter-Anforderungen zu erfüllen, muß man die Bandbreite der bei der Wiederaufbereitung von Daten- und Taktsignalen eingesetzten PLL-Regelschleife an die Erfordernisse anpassen. Für eine große Jitter-Toleranz ist eine große PLL-Regelschleifenbandbreite nötig.

Eine große Bandbreite ermöglicht der PLL-Regelschleife ein schnelles Folgen in der Frequenz und in der Phase des eingehenden Signals und somit ein zuverlässiges Abtasten in der zeitlichen Mitte eines Datenbits. Diese Tatsache hat dann auch eine große Eingangsempfindlichkeit der Schaltung zur Folge.

Für einen geringen Jitter-Transfer ist eine kleine PLL-Regelschleifenbandbreite erforderlich. Dadurch wird gewährleistet, daß die PLL-Regelstufe nicht dem hochfrequenten Jitter, Rauschen und sonstigen Störungen folgt und damit die Qualität des rückgewonnenen Datensignals beeinträchtigt.

Um beide Bedingungen zugleich einigermaßen zu erfüllen, ist man somit gezwungen, einen Kompromiß einzugehen. Die Bandbreite einer solchen PLL-Regelschleife liegt dabei in einem recht engen Bereich. Da eine PLL-Regelstufe zum Teil aus stark nichtlinearen Komponenten bestehen kann, besonders bei vollständig integrierten PLL-Regelschleifen, ist eine Berechnung bzw. Realisierung der Bandbreite schwierig.

Der Erfindung liegt die Aufgabe zugrunde, eine vollständig auf einem elektronischen Chip integrierbare und damit ohne äußere Beschaltung implementierbare Schaltung zur Rückgewin-

WO 00/18008

PCT/DE99/02742

3

- nung bzw. zum Retiming von Daten- und Taktsignalen aus seriellen Datenströmen insbesondere für einen einfacheren Aufbau von ATM-, SONET- und SDH-konformen Transceiver-Schaltungen bei einer Einsatzmöglichkeit in Signalübertragungsstrecken im
- 5 Gigabit-Bereich zu schaffen, wobei die Jitter-Anforderungen eingehalten werden und somit ausgangsseitig wieder ein Datensignal von geforderter Güte, also vorgeschrieben niedriger Bitfehlerrate, entsteht.
- 10 Diese Aufgabe wird gemäß der Erfindung, die sich auf eine Schaltung der eingangs genannten Art bezieht, dadurch gelöst, daß der PLL-Regelstufe eine zweite PLL-Regelstufe in Serie nachgeschaltet ist, daß die beiden PLL-Regelstufen unabhängig sind und jeweils getrennt optimal einstellbar sind, daß die
- 15 erste PLL-Regelstufe so eingestellt ist, daß sie eine große Bandbreite aufweist und auf eine möglichst große Jitter-Toleranz optimiert ist, und daß die zweite PLL-Regelstufe so eingestellt ist, daß sie eine geringe Bandbreite aufweist und auf einen möglichst geringen Jitter-Transfer optimiert ist.
- 20 Die Erfindung löst also das Problem, indem zwei unabhängige PLL-Regelstufen in Serie geschaltet werden, für die jeweils getrennt die optimale Einstellung vorgenommen wird. Die erste PLL-Regelstufe hat eine große Bandbreite und regeneriert den
- 25 Pegel des eingehenden Signals.
- Damit wird das Signal/Rausch-Verhältnis unkritischer und die zweite PLL-Regelstufe kann eine fehlerfreie Datenregenerierung garantieren, auch ohne in der absoluten Mitte eines Datenbits abzutasten. Die zweite PLL-Regelstufe hat eine geringe
- 30 Bandbreite und kann somit auf einen geringen Jitter-Transfer optimiert werden.
- Die vollständige Integration auf einem einzigen Chip ist möglich, da die Schaltung nach der Erfindung größere Parameterschwankungen der Schaltung tolerieren kann.
- 35

WO 00/18008

PCT/DE99/02743

4

In vorteilhafter Weise ist der Übergang von der ersten PLL-Regelstufe auf die zweite PLL-Regelstufe durch eine in der zweiten PLL-Regelstufe ausgeführte Synchronisation der beiden Taktsignale vorgenommen. Die zweite PLL-Regelstufe läßt sich
5 einfach und ohne großen technischen Schaltungsaufwand verwirklichen.

Die Referenzfrequenz der ersten PLL-Regelstufe ist zweckmäßig durch einen frequenzkonstanten Quarzoszillator stabilisiert.

10

Im folgenden wird anhand eines in einer FIGUR dargestellten Blockschaltbildes eine Schaltung zur Datensignalarückgewinnung und Taktsignalregenerierung nach der Erfindung erläutert.

15 Über einen Trennverstärker 1 wird ein eingehender digitaler Datenstrom DATA IN einer ersten PLL-Regelstufe 2 zugeführt. Die Referenzfrequenz f_{ref} der PLL-Regelstufe 2 wird durch einen Quarzoszillator 3 gebildet, ist deswegen frequenzstabil und hält einen spannungsgesteuerten Oszillator in einem gültigen Arbeitsbereich.
20

Die erste PLL-Regelstufe 2 ist mit einem spannungsgesteuerten Oszillator (VCO) 4, der beispielsweise durch einen Ringoszillator realisiert werden kann, und einem Integrator 5 versehen,
25 mit dem die Bandbreite der PLL-Regelstufe 2 bestimmt wird, versehen. Der ersten PLL-Regelstufe 2 ist eine zweite PLL-Regelstufe 6 nachgeschaltet, die ebenfalls mit einem spannungsgesteuerten Oszillator 7 und einem Integrator 8 versehen ist, durch den die Bandbreite der zweiten PLL-Regelstufe 6 maßgeblich bestimmt wird.
30

Über jeweils einen Trennverstärker 9 bzw. 10 werden die endgültig rückgewonnenen Daten- und Taktsignale DATA OUT bzw. CLOCK OUT aus der zweiten PLL-Regelstufe 6 herausgeführt. Für
35 die beiden unabhängigen PLL-Regelstufen 2 und 6 wird die optimale Einstellung jeweils getrennt vorgenommen. Die erste

WO 00/18008

PCT/DE99/02142

5

PLL-Regelstufe 2 hat eine große Bandbreite und regeneriert den Pegel des eingehenden Signals DATA IN.

5 Das Signal/Rausch-Verhältnis wird dadurch unkritischer, und die zweite PLL-Regelstufe 6 stellt eine fehlerfreie Datenrückgewinnung sicher, wobei von ihr nicht unbedingt in der absoluten Mitte der Datenbits der von der ersten PLL-Regelstufe 2 zugeführten Datensignale DATA abgetastet werden muß.

10

Die zweite PLL-Regelstufe 6 hat im Gegensatz zur ersten PLL-Regelstufe 2 eine geringe Bandbreite und läßt sich auf einen möglichst geringen Jitter-Transfer optimieren. Der Übergang von der ersten PLL-Regelstufe 2, in welcher die Datensignale DATA und Taktsignale CLOCK wiedergewonnen werden, erfolgt durch eine Synchronisation der beiden Taktsignale CLOCK und CLOCK OUT in der relativ einfach zu realisierenden PLL-Regelstufe 6.

15

WO 00/18008

PCT/DE99/02742

1/1

